

【特許請求の範囲】

【請求項 1】 外部クロックに基づいて、前記外部クロックと位相同期した装置内クロックを生成する位相同期装置であって、

前記外部クロックと前記装置内クロックの分周クロックとを位相比較することで第 1 位相差を検出する第 1 位相比較器と、

前記第 1 位相差を前記装置内クロックで同期カウント値をカウントする位相補正カウンタと、

前記位相補正カウンタの同期カウント値に基づいて前記装置内クロックを分周することで、前記補正分周クロックを生成する位相補正分周器と、

前記補正分周クロックと前記装置内クロックの分周クロックとを位相比較することで第 2 位相差を検出する第 2 位相比較器と、

前記第 2 位相差に基づいて前記装置内クロックを生成する周波数制御回路とを有することを特徴とする位相同期装置。

【請求項 2】 前記周波数制御回路の出力段に、前記装置内クロックの位相を遅延する位相遅延回路を配置したことを特徴とする請求項 1 記載の位相同期装置。

【請求項 3】 前記位相遅延回路にて遅延した装置内クロックの位相を監視し、前記装置内クロックと前記外部クロックとの位相差が所定値未満となるように、前記位相遅延回路による位相遅延を制御する監視部を有することを特徴とする請求項 2 記載の位相同期装置。

【請求項 4】 前記第 1 位相比較器、前記位相補正カウンタ及び前記位相補正分周器で構成する第 1 フェーズ・ロック・ループ回路と、前記第 2 位相比較器及び前記周波数制御回路で構成する第 2 フェーズ・ロック・ループ回路と、前記第 2 フェーズ・ロック・ループ回路にて生成した前記装置内クロックの位相を遅延する位相遅延回路とで構成する位相同期回路を複数並列に配置し、各位相同期回路に関わる装置内クロックの位相を監視し、各装置内クロック間の位相差を補正するように各位相同期回路内の前記位相遅延回路による位相遅延を制御する監視部を設けたことを特徴とする請求項 1 記載の位相同期装置。

【請求項 5】 各外部クロックに基づいて装置内クロックを生成する複数の位相同期回路を有し、各位相同期回路で生成した各装置内クロック間で位相を合わせる位相同期装置であって、各位相同期回路は、外部クロックと装置内クロックの分周クロックとを位相比較することで位相差を検出する位相比較器と、前記位相差に基づいて前記装置内クロックを生成する周波数制御回路と、前記装置内クロックを分周することで、前記分周クロックを生成する分周器と、前記装置内クロックを位相補正すべく同期カウント値を

カウントする位相補正カウンタと、

前記同期カウント値に基づいて前記装置内クロックを分周することで、位相補正された装置内クロックを生成する位相補正分周器と、

他の位相同期回路内の周波数制御回路から基準とする装置内クロックを検出すると、前記位相補正カウンタの同期カウント値をリセットするスイッチ部とを有し、

前記位相補正カウンタは、この位相同期回路内のスイッチ部による同期カウント値のリセットに応じて、前記基準とする装置内クロックとの位相を合わせるべく、この位相同期回路内の装置内クロックにおける同期カウント値のカウントを開始することを特徴とする位相同期装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば ISDN と接続する局設備内で、前記 ISDN からの外部クロックと位相同期した装置内クロックを生成する位相同期装置に関する。

【0002】

【従来の技術】従来、このような位相同期装置としては、フェーズ・ロック・ループ（以下、単に PLL）回路が知られているが、このような従来の PLL 回路においては、例えば ISDN からの外部クロックと、この外部クロックに基づいて生成した装置内クロックの分周クロックとを位相比較することで位相差を検出し、この位相差に基づく周波数制御を行うことで、前記装置内クロックを生成するようにしていた。

【0003】このような従来の PLL 回路によれば、前記装置内クロックの分周クロックと外部クロックとの位相差に基づいて、前記外部クロックと位相同期した装置内クロックを生成することで、前記外部クロックとの間の位相同期の安定性を重視する構成としていた。

【0004】また、このような位相同期装置で冗長化構成をとる場合、複数の PLL 回路を並列配置し、これら PLL 回路にて生成した装置内クロックをセレクトで選択することで、この選択した装置内クロックを出力するようにしていた。

【0005】このような冗長化構成をとった位相同期装置によれば、各 PLL 回路で生成した装置内クロックをセレクトで選択することで、たとえ、いずれかの PLL 回路に障害が発生したとしても、正常な他の PLL 回路で生成した装置内クロックを獲得することができる。

【0006】

【発明が解決しようとする課題】しかしながら、上記従来の位相同期装置によれば、外部クロックとの位相同期を確実にとる安定性を重視したために、PLL 回路内部のループフィルタに要する時定数を長くしなければならず、PLL 回路がロックするまでの収束時間が長くなることで追従性が悪くなってしまうといった第 1 の問題点

があった。

【0007】また、冗長化構成をとった位相同期装置によれば、セレクタで各PLL回路にて生成した装置内クロックを選択出力するのであるが、各PLL回路には若干のバラツキや伝搬遅延等が発生するため、これら各PLL回路が全く同一の外部クロックを用いて装置内クロックを生成したとしても、各装置内クロック間では位相差が発生してしまうといった第2の問題点があった。

【0008】本発明は上記第1の問題点に鑑みてなされたものであり、その第1の目的とするところは、外部クロックとの位相同期をとる安定性を確保しながら、その追従性にも優れた位相同期装置を提供することにある。

【0009】本発明は上記第2の問題点に鑑みてなされたものであり、その第2の目的とするところは、冗長化構成をとったとしても、各PLL回路の装置内クロック選択出力によって生じる装置内クロック間の位相差を吸収する位相同期装置を提供することにある。

【0010】

【課題を解決するための手段】上記第1の目的を達成するために本発明の位相同期装置は、外部クロックに基づいて、前記外部クロックと位相同期した装置内クロックを生成する位相同期装置であって、前記外部クロックと前記装置内クロックの分周クロックとを位相比較することで第1位相差を検出する第1位相比較器と、前記第1位相差を前記装置内クロックで同期カウント値をカウントする位相補正カウンタと、前記位相補正カウンタの同期カウント値に基づいて前記装置内クロックを分周することで、前記補正分周クロックを生成する位相補正分周器と、前記補正分周クロックと前記装置内クロックの分周クロックとを位相比較することで第2位相差を検出する第2位相比較器と、前記第2位相差に基づいて前記装置内クロックを生成する周波数制御回路とを有するものである。

【0011】従って、本発明の位相同期装置によれば、前記第1位相比較器、位相補正カウンタ及び位相補正分周器で装置内クロックの分周クロックの位相が外部クロックの位相に近づくように、例えば第2位相比較器及び周波数制御回路がロックできる範囲まで位相差を吸収するようにしたので、前記第2位相比較器及び周波数制御回路がロックするまでの収束時間を短縮化することで、その追従性を確保すると共に、前記第2位相比較器及び周波数制御回路でロックできる動作範囲を確保することで、ジッタ成分が非常に少ない等、安定精度の高いシステムクロックを生成することができる。

【0012】本発明の位相同期装置は、前記周波数制御回路の出力段に、前記装置内クロックの位相を遅延する位相遅延回路を配置するようにしたものである。

【0013】従って、本発明の位相同期装置によれば、周波数制御回路の出力段に位相遅延回路を配置するようにしたので、外部クロックと装置内クロックとの位相差

を確実に吸収することができる。

【0014】本発明の位相同期装置は、前記位相遅延回路にて遅延した装置内クロックの位相を監視し、前記装置内クロックと外部クロックとの位相差が所定値未満となるように、前記位相遅延回路による位相遅延を制御する監視部を有するものである。

【0015】従って、本発明の位相同期装置によれば、前記位相遅延回路にて遅延した装置内クロックの位相を監視し、前記装置内クロックと外部クロックとの位相差が所定値未満となるように、前記位相遅延回路による位相遅延を制御するようにしたので、外部クロックと装置内クロックとの位相差をより確実に吸収することができる。

【0016】上記第2の目的を達成するために本発明の位相同期装置は、前記第1位相比較器、前記位相補正カウンタ及び前記位相補正分周器で構成する第1フェーズ・ロック・ループ回路と、前記第2位相比較器及び前記周波数制御回路で構成する第2フェーズ・ロック・ループ回路と、前記第2フェーズ・ロック・ループ回路にて生成した前記装置内クロックの位相を遅延する位相遅延回路とで構成する位相同期回路を複数並列に配置し、各位相同期回路に関わる装置内クロックの位相を監視し、各装置内クロック間の位相差を補正するように各位相同期回路内の前記位相遅延回路による位相遅延を制御する監視部を設けたものである。

【0017】従って、本発明の位相同期装置によれば、第1フェーズ・ロック・ループ回路で追従性を確保し、第2フェーズ・ロック・ループ回路で安定性を確保すると共に、これら第1フェーズ・ロック・ループ回路及び第2フェーズ・ロック・ループ回路で構成する各位相同期回路からの装置内クロックの位相差を監視し、この位相差を補正するように各位相遅延回路の位相遅延を制御するようにしたので、各PLL回路の装置内クロック選択出力によって生じる装置内クロック間の位相差を吸収することができる。

【0018】また、上記第2の目的を達成するために本発明の位相同期装置は、各外部クロックに基づいて装置内クロックを生成する複数の位相同期回路を有し、各位相同期回路で生成した各装置内クロック間で位相を合わせる位相同期装置であって、各位相同期回路は、外部クロックと装置内クロックの分周クロックとを位相比較することで位相差を検出する位相比較器と、前記位相差に基づいて前記装置内クロックを生成する周波数制御回路と、前記装置内クロックを分周することで、前記分周クロックを生成する分周器と、前記装置内クロックを位相補正すべく同期カウント値をカウントする位相補正カウンタと、前記同期カウント値に基づいて前記装置内クロックを分周することで、位相補正された装置内クロックを生成する位相補正分周器と、他の位相同期回路内の周波数制御回路から基準とする装置内クロックを検出する

10

20

30

40

50

と、前記位相補正カウンタの同期カウント値をリセットするスイッチ部とを有し、前記位相補正カウンタは、この位相同期回路内のスイッチ部による同期カウント値のリセットに応じて、前記基準とする装置内クロックとの位相を合わせるべく、この位相同期回路内の装置内クロックにおける同期カウント値のカウントを開始するものである。

【0019】従って、本発明の位相同期装置によれば、各外部クロック間で周波数差や位相差が生じたとしても、各位相同期回路毎に装置内クロックを生成し、これら装置内クロックの内から基準とする装置内クロックを選択し、この基準とする装置内クロックに位相を合わせるべく、他の装置内クロックの位相を補正するようにしたので、各装置内クロック間の位相差を吸収することができる。

【0020】

【発明の実施の形態】以下、図面に基づいて本発明の実施の形態に示す位相同期装置について説明する。

【0021】（実施の形態1）図1は第1の実施の形態に示す位相同期装置内部の概略構成を示すブロック図である。

【0022】図1に示す位相同期装置1は、外部クロック100を入力する第1PLL回路10と、この第1PLL回路10の後段に装置内クロック200を出力する第2PLL回路20とで構成する。

【0023】第1PLL回路10は、前記外部クロック100と前記装置内クロック200の分周クロック203とを位相比較することで第1位相差を検出する第1位相比較器11と、前記第1位相差を前記装置内クロック200で同期カウント値をカウントする位相補正カウンタ12と、前記位相補正カウンタ12の同期カウント値に基づいて前記装置内クロック200を分周することで、前記補正分周クロック201を生成する位相補正分周器13とを有している。

【0024】第2PLL回路20は、前記位相補正分周器13からの補正分周クロック201と前記装置内クロック200の分周クロック202とを位相比較することで第2位相差を検出する第2位相比較器21と、この第2位相差に対応した制御電圧を生成するループフィルタ22と、このループフィルタ22にて生成した制御電圧に基づいて、前記装置内クロック200を生成する周波数制御回路（以下、単にVCOと称する）23と、この装置内クロック200を分周することで、分周クロック202（203）を生成し、この分周クロック202を第2位相比較器21の一方の入力に供給すると共に、前記分周クロック203を第1位相比較器11の一方の入力に供給する分周器24とを有している。

【0025】次に第1の実施の形態に示す位相同期装置1の動作について説明する。図2は第1の実施の形態に示す位相同期装置1内部の第1PLL回路10内部の動

作を示すタイミング図である。

【0026】まず、第1の実施の形態に示す位相同期装置1においては、外部クロック100と装置内クロック200とに位相差が発生した場合を前提として説明する。

【0027】図1に示す第1PLL回路10の第1位相比較器11は、外部クロック100と、前記分周器24からの分周クロック203とを位相比較することで第1位相差を検出する。

【0028】前記位相補正カウンタ12は、図2に示すように前記第1位相差（位相進み又は位相遅れ）を、前記第2PLL回路20のVCO23からの装置内クロック200で同期カウント値としてカウントする。

【0029】例えば第1位相差として、前記分周クロック203が外部クロック100の半周期よりも遅い場合には同期カウント値は少なくなり、前記分周クロック203が外部クロック100の半周期よりも進んでいる場合には同期カウント値は多くなる。

【0030】前記位相補正カウンタ12は、前記第1位相差を装置内クロック200でカウントし、その同期カウント値を位相補正分周器13に入力する。この位相補正分周器13は、同期カウント値に基づいて、前記VCO23からの装置内クロック200を分周することで、補正分周クロック201を生成し、この補正分周クロック201を第2位相比較器21の一方の入力に供給する。

【0031】このように第1PLL回路10では、分周クロック203のフィードバック処理を行って、位相補正カウンタ12及び位相補正分周器13で外部クロック100と位相補正を行うことで、第2PLL回路20がロックできる範囲まで位相差を吸収する。

【0032】第2PLL回路20の第2位相比較器21は、前記補正分周クロック201と前記装置内クロック200の分周クロック202とを位相比較することで第2位相差を検出する。

【0033】前記ループフィルタ22は、前記第2位相差に基づいて制御電圧を生成し、この制御電圧をVCO23に入力する。このVCO23は、前記制御電圧に応じて装置内クロック200を生成し、この装置内クロック200を出力すると共に、この装置内クロック200を分周器24に供給する。

【0034】尚、前記第2位相差として、補正分周クロック201が装置内クロック200の分周クロック202よりも進んでいれば、装置内クロック200の位相差を進めるべく、VCO23の発振周波数を上げるような制御電圧をかけ、補正分周クロック201が装置内クロック200の分周クロック202よりも遅れていれば、装置内クロック200の位相差を遅らすべく、VCO23の発振周波数を下げるような制御電圧をかける。

【0035】第1の実施の形態に示す位相同期装置1に

よれば、前記第1PLL回路10で装置内クロック200の分周クロック203の位相が外部クロック100の位相に近づけるように、第2PLL回路20がロックできる範囲まで位相差を吸収するようにしたので、第2PLL回路20がロックするまでの収束時間を短縮化することで、その追従性を確保すると共に、前記第2PLL回路20がロックできる動作範囲を確保することで、ジッタ成分が非常に少ない等、安定精度の高いシステムクロックを生成することができる。

【0036】また、第1の実施の形態に示す位相同期装置1によれば、アナログ方式のPLL回路で構成しているので、例えばデジタル方式のPLL回路で装置内クロックを生成した場合のジッタ成分の吸収といった回路構成を考慮する必要もない。

【0037】（実施の形態2）次に第2の実施の形態に示す位相同期装置について説明する。図3が第2の実施の形態に示す位相同期装置の概略構成を示すブロック図である。尚、図1に示す位相同期装置の構成と重複するものには同一符号を付すと共に、その構成及び動作の説明については省略する。

【0038】図3に示す位相同期装置2は、冗長化構成を採用しており、第1PLL回路10及び第2PLL回路20で構成する位相同期回路30（30A）を並列配置し、各位相同期回路30（30A）の後段に、前記第2PLL回路20からの装置内クロック200の位相を遅延制御する位相遅延回路40（40A）を配置するようにした。

【0039】各位相同期回路30（30A）は、全く同一の外部クロック100を入力し、この外部クロック100に基づいて装置内クロック200（200A）を生成する。各位相同期回路30（30A）後段の位相遅延回路40（40A）は、図4に示すように前記装置内クロック200（200A）と外部クロック100との位相差を補正すべく遅延制御を行うことで、外部クロック100及び装置内クロック200（200A）間の位相差T2を無くすようにした。

【0040】第2の実施の形態に示す位相同期装置2によれば、位相同期回路30（30A）の出力段に位相遅延回路40（40A）を配置するようにしたので、たとえば位相同期回路30（30A）の回路バラツキや伝搬遅延等が発生したとしても、外部クロック100と装置内クロック200（200A）との位相差を確実に吸収することができる。

【0041】（実施の形態3）次に第3の実施の形態に示す位相同期装置について説明する。図5は第3の実施の形態に示す位相同期装置内部の概略構成を示すブロック図である。

【0042】図5に示す位相同期装置3は、図3に示す位相同期装置2の構成に加えて、各位相遅延回路40（40A）にて遅延した装置内クロック200（200

A）の位相を監視し、各装置内クロック200（200A）間の位相差が所定値未満となるように、前記位相遅延回路40（40A）による位相遅延を制御する監視部50を有するものである。

【0043】各位相同期回路30（30A）は、全く同一の外部クロック100を入力し、この外部クロック100に基づいて装置内クロック200（200A）を生成する。

【0044】各位相同期回路30（30A）後段の位相遅延回路40（40A）は、図4に示すように前記装置内クロック200と外部クロック100との位相差を補正すべく遅延制御を行う。

【0045】さらに、監視部50は、各位相遅延回路40（40A）にて遅延制御した装置内クロック200（200A）の位相を監視し、各装置内クロック200（200A）間の位相差が所定値未満となるように、前記位相遅延回路40（40A）による位相遅延を制御する。

【0046】第3の実施の形態に示す位相同期装置3によれば、監視部50で各位相遅延回路40（40A）にて遅延制御した装置内クロック200（200A）の位相を監視し、各装置内クロック200（200A）間の位相差が所定値未満となるように前記位相遅延回路40（40A）による位相遅延を制御するようにしたので、前記装置内クロック200（200A）間の位相差を吸収することができる。

【0047】（実施の形態4）次に第4の実施の形態に示す位相同期装置について説明する。図6は第4の実施の形態に示す位相同期装置内部の概略構成を示すブロック図である。

【0048】図6に示す位相同期装置4は、冗長化構成を採用しており、第1外部クロック100aに基づいて第1装置内クロック200aを生成する第1位相同期回路60aと、第2外部クロック100bに基づいて第2装置内クロック200bを生成する第2位相同期回路60bとを有し、第1装置内クロック200a及び第2装置内クロック200bの位相同期をとる構成としている。

【0049】前記第1位相同期回路60aは、第1外部クロック100aに基づいて第1装置内クロック200aを生成する第3PLL回路70aと、前記第1装置内クロック200aを位相補正する第4PLL回路80aと、前記第2位相同期回路60b側の第2装置内クロック200b入力に応じて、この第1位相同期回路60a側の第4PLL回路80aの同期カウント値をリセットするスイッチ部90aとを有している。

【0050】前記第1位相同期回路60a側の第3PLL回路70aは、第1外部クロック100aと第1装置内クロック200aの分周クロック201aとを位相比較することで第3位相差を検出する位相比較器71a

10

20

30

40

50

と、この第3位相差に基づいて制御電圧を生成するループフィルタ72aと、この制御電圧に応じて第1装置内クロック200aを生成するVCO73aと、この第1装置内クロック200aを分周することで、前記第1装置内クロック200aの分周クロック201aを生成する分周器74aとを有している。

【0051】前記第1位相同期回路60a側の第4PLL回路80aは、後述する基準とする装置内クロックと第1装置内クロック200aとの位相差をカウントする位相補正カウンタ81aと、この位相補正カウンタ81aの同期カウント値に基づいて分周することで、位相補正した第1装置内クロック200aを生成する位相補正分周器82aとを有している。

【0052】前記第2位相同期回路60bは、第2外部クロック100bに基づいて第2装置内クロック200bを生成する第3PLL回路70bと、前記第2装置内クロック200bを位相補正する第4PLL回路80bと、前記第1位相同期回路60a側の第1装置内クロック200a入力に応じて、この第2位相同期回路60b側の第4PLL回路80bの同期カウント値をリセットするスイッチ部90bとを有している。

【0053】前記第2位相同期回路60bの第3PLL回路70bは、第2外部クロック100bと第2装置内クロック200bの分周クロック201bとを位相比較することで第3位相差を検出する位相比較器71bと、この第3位相差に基づいて制御電圧を生成するループフィルタ72bと、この制御電圧に応じて第2装置内クロック200bを生成するVCO73bと、この第2装置内クロック200bを分周することで、前記第2装置内クロック200bの分周クロック201bを生成する分周器74bとを有している。

【0054】前記第2位相同期回路60bの第4PLL回路80bは、後述する基準とする装置内クロックと第2装置内クロック200bとの位相差をカウントする位相補正カウンタ81bと、この位相補正カウンタ81bの同期カウント値に基づいて分周することで、位相補正した第2装置内クロック200bを生成する位相補正分周器82bとを有している。

【0055】次に第4の実施の形態に示す位相同期装置4の動作について説明する。

【0056】一般的に第1外部クロック100a及び第2外部クロック100bに周波数差及び位相差が発生する場合がある。

【0057】前記第1位相同期回路60aの第3PLL回路70aは、第1外部クロック100aに基づいてVCO73aで第1装置内クロック200aを生成し、この第1装置内クロック200aを第4PLL回路80a内部の位相補正カウンタ81aに伝送する。

【0058】また、同様に、前記第2位相同期回路60bの第3PLL回路70bにおいても、第2外部クロ

ック100bに基づいてVCO73aで第2装置内クロック200bを生成し、この第2装置内クロック200bを第4PLL回路80b内部の位相補正カウンタ81bに伝送する。

【0059】そして、例えば第1装置内クロック200aの位相を基準とする場合、前記第1位相同期回路60a側のVCO73aは、前記第1装置内クロック200aを位相補正カウンタ81aに伝送すると共に、前記第1装置内クロック200aを第2位相同期回路60b側のスイッチ部90bに入力する。

【0060】第2位相同期回路60b側のスイッチ部90bは、前記第1装置内クロック200aの入力に応じて、この第2位相同期回路60b側の位相補正カウンタ81bの同期カウント値をリセットする。

【0061】この第2位相同期回路60b側の位相補正カウンタ81bは、同期カウント値をリセットすることで、前記第1装置内クロック200aと第2装置内クロック200bとの位相差を補正すべく同期カウント値のカウントを開始し、この同期カウント値を位相補正分周器82bに伝送する。

【0062】この第2位相同期回路60b側の位相補正分周器82bは、この位相補正カウンタ81bからの同期カウント値に基づいて第2装置内クロック200bを分周することで、前記第1装置内クロック200aと位相同期した第2装置内クロック200aを生成出力する。

【0063】第4実施の形態に示す位相同期装置4によれば、各外部クロック100a、100b間で周波数差や位相差が生じたとしても、各位相同期回路60a、60b毎に装置内クロック200a、200bを生成し、これら装置内クロック200a、200bの内から基準とする装置内クロック200a(200b)を選択し、この基準とする装置内クロック200a(200b)に位相を合わせるべく、他の装置内クロック200b(200a)の位相を補正するようにしたので、各装置内クロック200a、200b間の位相差を吸収することができる。

【0064】また、上記第4の実施の形態に示す位相同期装置4によれば、位相補正カウンタ81a(81b)の位相補正を1クロックづつ補正するようにしたので、スイッチ90a(90b)にて基準となる装置内クロック200a(200b)を切り替えたとしても徐々に位相差吸収を行うことができるため、位相のホップが発生することはない。

【0065】尚、上記実施の形態2乃至4に示す位相同期装置によれば、2個の位相同期回路からなる冗長化構成を例にあげて説明したが、3個以上の位相同期回路からなる冗長化構成にしても同様の効果を奏することは言うまでもない。

【0066】

【発明の効果】上記のように構成された本発明の位相同期装置によれば、第1位相比較器、位相補正カウンタ及び位相補正分周器で装置内クロックの分周クロックの位相が外部クロックの位相に近づけるように、例えば第2位相比較器及び周波数制御回路でロックできる範囲まで位相差を吸収するようにしたので、前記第2位相比較器及び周波数制御回路がロックするまでの収束時間を短縮化することで、その追従性を確保すると共に、前記第2位相比較器及び周波数制御回路でロックできる動作範囲を確保することで、ジッタ成分が非常に少ない等、安定

精度の高いシステムクロックを生成することができる。
【0067】また、本発明の位相同期装置によれば、冗長化構成をとったとしても、各PLL回路の装置内クロック選択出力によって生じる装置内クロック間の位相差を吸収することができる。

【図面の簡単な説明】

【図1】本発明における第1の実施の形態に示す位相同期装置内部の概略構成を示すブロック図

【図2】第1の実施の形態に示す位相同期装置の動作を示すタイミング図

【図3】本発明における第2の実施の形態に示す位相同期装置内部の概略構成を示すブロック図

【図4】第2の実施の形態に示す位相同期装置の動作を示すタイミング図

【図5】第3の実施の形態に示す位相同期装置内部の概略構成を示すブロック図

【図6】第4の実施の形態に示す位相同期装置内部の概略構成を示すブロック図

* 【符号の説明】

1, 2, 3, 4 位相同期装置

10 第1PLL回路（第1フェーズ・ロック・ループ回路）

11 第1位相比較器

12 位相補正カウンタ

13 位相補正分周器

20 第2PLL回路（第2フェーズ・ロック・ループ回路）

21 第2位相比較器

23 VCO（周波数制御回路）

30, 30A 位相同期回路

40, 40A 位相遅延回路

50 監視部

71a, 71b 位相比較器

73a, 73b VCO（周波数制御回路）

81a, 81b 位相補正カウンタ

82a, 82b 位相補正分周器

90a, 90b スイッチ部

20 100 外部クロック

100a 第1外部クロック

100b 第2外部クロック

200 装置内クロック

200a 装置内クロック

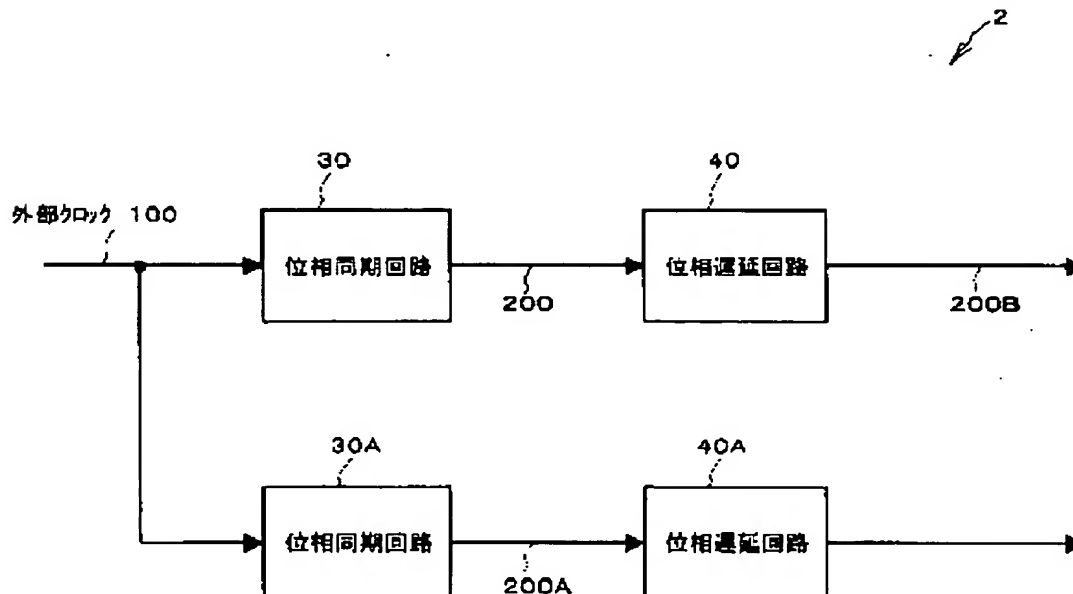
200b 装置内クロック

201 補正分周クロック

202 分周クロック

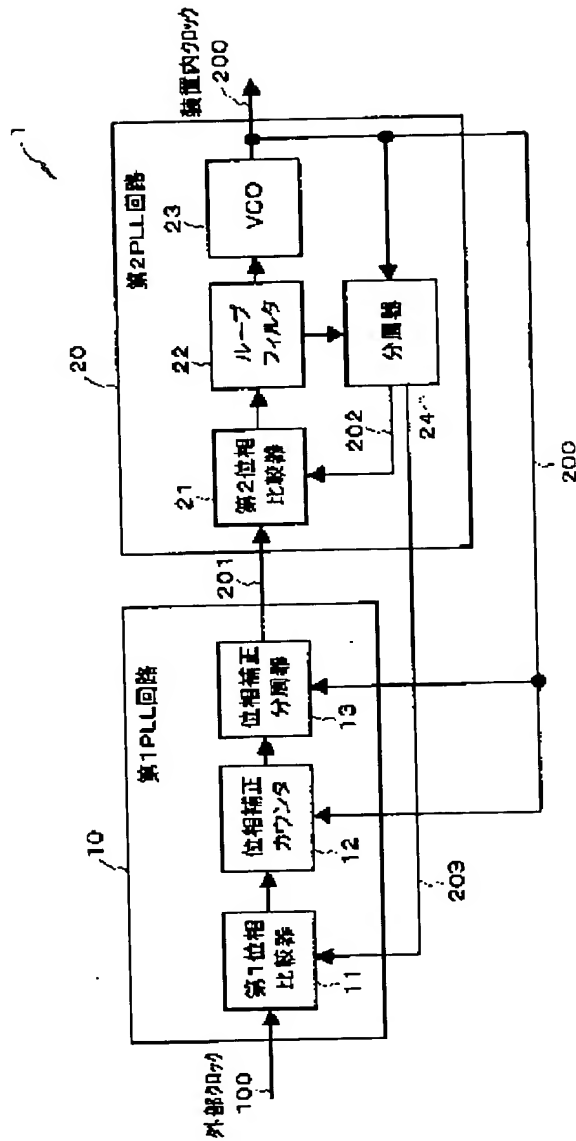
* 203 分周クロック

【図3】



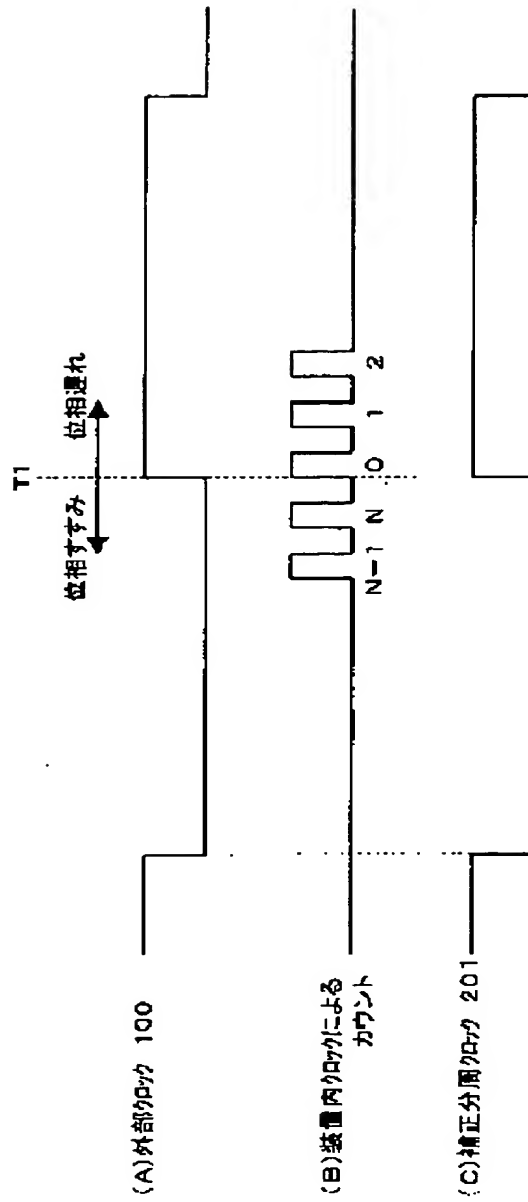
(8)

【図1】

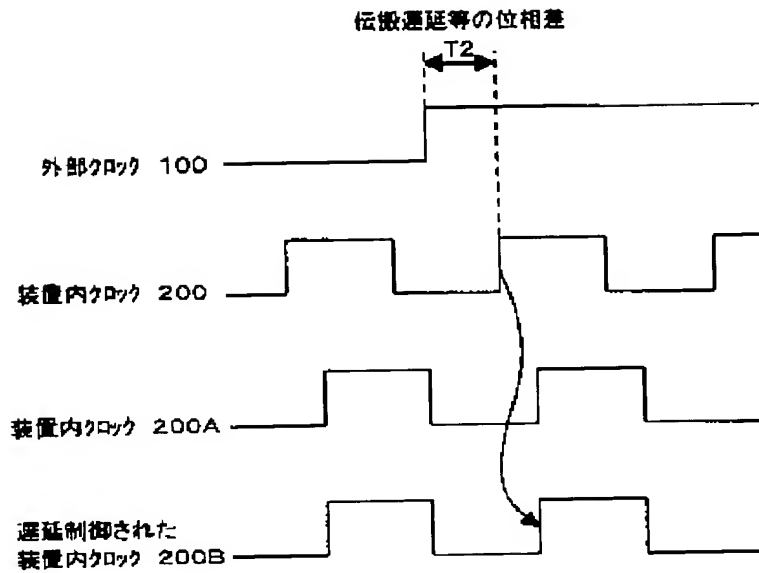


- | | | | | | |
|------------|----------------------------|------------|---------------|-----|----------|
| 1. 2. 3. 4 | 位相同期装置 | 71 a. 71 b | 位相比較器 | 201 | 修正分周クロック |
| 10 | 第1PLL回路 (第1フェーズ・ロック・ループ回路) | 73 a. 73 b | VCO (周波数制御回路) | 202 | 分周クロック |
| 11 | 第1位相比較器 | 81 a. 81 b | 位相補正カウンタ | 203 | 分周クロック |
| 12 | 位相補正カウンタ | 82 a. 82 b | 位相補正分周器 | | |
| 13 | 位相補正分周器 | 90 a. 90 b | スイッチ部 | | |
| 20 | 第2PLL回路 (第2フェーズ・ロック・ループ回路) | 100 | 外部クロック | | |
| 21 | 第2位相比較器 | 100 a | 第1外部クロック | | |
| 23 | VCO (周波数制御回路) | 100 b | 第2外部クロック | | |
| 30. 30 A | 位相同期回路 | 200 | 装置内クロック | | |
| 40. 40 A | 位相補正回路 | 200 a | 装置内クロック | | |
| 50 | 監視部 | 200 b | 装置内クロック | | |

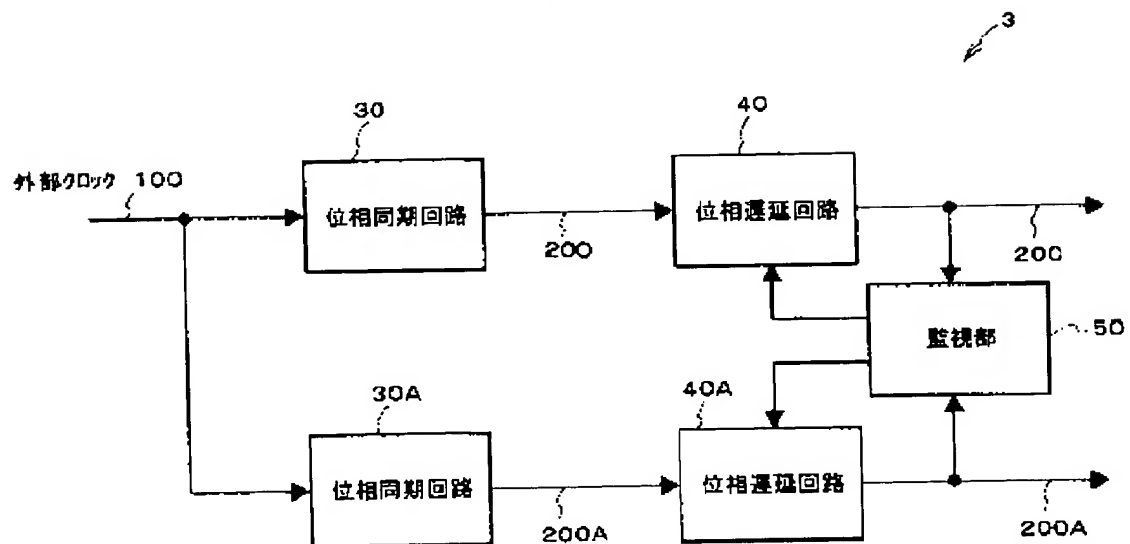
【図2】



【図4】



【図5】



F ターム(参考)

5J106	AA04	BB02	CC01	CC30	CC41
	CC52	CC53	CC59	DD24	FF06
	FF07	GG08	GG09	HH09	KK03
	KK05	KK25			
5K047	AA02	AA06	BB17	GG10	MM36
	MM46	MM55	MM56	MM63	

THIS PAGE BLANK (USPTO)